



REÇÜ 26 SEP. 2003
OMPI PCT

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 37 856.8

Anmeldetag: 19. August 2002

Anmelder/Inhaber: Siemens Aktiengesellschaft,
München/DE

Bezeichnung: Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges Ausgangssignal

IPC: H 03 M 1/66

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 28. August 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

S. L. e

Stremme

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

Best Available Copy

Beschreibung

Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges

5 Ausgangssignal

Die Erfindung betrifft eine Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges Ausgangssignal.

10 Es sind Architekturen zur Erzeugung eines breitbandigen, trägerfrequenten Ausgangssignals bekannt, bei denen in einem niedrigen Frequenzbereich ein digitales Eingangssignal mit Hilfe eines Digital-Analog-Wandlers in ein analoges Signal 15 gewandelt und anschließend mit Hilfe einer oder mehrerer Mischsstufen in das trägerfrequente Ausgangssignal umgesetzt wird.

Weiterhin sind Digital-Analog-Wandler-Architekturen bekannt, 20 bei denen aus einem hochfrequenten digitalen Eingangssignal ohne weitere Frequenzumsetzung ein trägerfrequentes Ausgangssignal erzeugt wird. Das trägerfrequente analoge Ausgangssignal weist dabei neben einer gewünschten Trägerfrequenz auch 25 unerwünschte Trägerfrequenzen auf, die beispielsweise durch ein nichtideales digitales Eingangssignal bzw. durch verschiedene unerwünschte Modulationsmechanismen entstehen können.

Bei den beschriebenen Architekturen sind stets ausgangsseitig 30 angeordnete, kostenintensive Filter mit einer hohen Güte bzw. Mischer mit einer hohen Linearität notwendig, die jeweils auf einen gewünschten Trägerfrequenzbereich abzustimmen sind. Bei

einem gewünschten Wechsel des Trägerfrequenzbereichs müssen diese kostenaufwändig ausgetauscht werden.

Es ist daher Aufgabe der vorliegenden Erfindung, eine Anordnung zur Digital-Analog-Wandlung derart auszubilden, dass sie ohne großen Aufwand auf verschiedenen Trägerfrequenzbereiche abstimmbare ist.

Die Aufgabe der Erfindung wird durch die Merkmale des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Die erfindungsgemäße Anordnung zur Digital-Analog-Wandlung weist eine integrierte Filtercharakteristik auf, wodurch ausgangsseitig kostenintensive Mischere bzw. Filter eingespart werden.

Sie besteht aus mehreren, parallel zueinander angeordneten D/A-Wandlern, wobei den einzelnen D/A-Wandlern jeweils spezifische Koeffizienten zugeordnet sind. Dadurch wird eine optimale Anpassung an einen gewünschten Trägerfrequenzbereich ermöglicht.

Die erfindungsgemäße Anordnung ist auf verschiedene Trägerfrequenzbereiche abstimmbare, indem die Taktfrequenz der D/A-Wandler entsprechend geändert wird.

Erfindungsgemäß wird durch Wahl der den D/A-Wandlern spezifisch zugeordneten Koeffizienten und der den Verzögerungsgliedern spezifisch zugeordneten Verzögerungszeiten besonders bevorzugt eine FIR-Filtercharakteristik realisiert bzw. in der Anordnung integriert. Die aufeinanderfolgenden Koeffizienten entsprechen einer Abtastung einer Impulsantwort von

einem Filter, das eine gewünschte Filtercharakteristik aufweist. Dadurch weist das trägerfrequente Ausgangssignal vergleichend zu einer Realisierungsform ohne Filtercharakteristik eine höhere spektrale Reinheit auf.

5 Die erfindungsgemäß integrierte FIR-Filtercharakteristik ist mit Hilfe einer Taktfrequenz eines Taktsignals skalierbar. Diese kann von der Taktfrequenz der A/D-Wandler abgeleitet oder mit ihr identisch sein. Da sich die Taktfrequenz meist 10 proportional mit der Trägerfrequenz ändert, erfolgt bei der vorliegenden Erfindung die Anpassung der Filtercharakteristik automatisch.

Bei einer Änderung des gewünschten Trägerfrequenzbereichs 15 wird die FIR-Filtercharakteristik über die Taktfrequenz entsprechend neu eingestellt. Ein Austausch von Hardware-Komponenten entfällt.

Entsprechen die Genauigkeit und die Anzahl der FIR-Filter-20 koeffizienten den Anforderungen eines neuen Mobilfunkstandards, so ist ein direktes Umschalten des Frequenzbereiches über die Taktfrequenz möglich, wobei das Umschalten mit Hilfe von Software realisierbar wäre.

25 Die erfindungsgemäße Anordnung ermöglicht für beliebige Trägerfrequenzbereiche, den Filteraufwand durch Vorfilterung erheblich zu minimieren. Zusammen mit einer entsprechenden Leistungsendstufe wird ein senderseitiger Verzicht auf frequenzspezifische Filter hoher Güte ermöglicht.

30 Mit Hilfe der erfindungsgemäßen Anordnung ist insbesondere ein durch $\Sigma\Delta$ -Wandler geformtes Quantisierungsrauschen des Eingangssignals leicht zu unterdrücken.

Die Filterfunktion der erfindungsgemäßen Anordnung ist durch die Signalform, die jeder D/A-Wandler pro Datum oder Bit ausgibt, beeinflussbar. Mit Hilfe einer geeigneten Signalform, 5 wie beispielsweise Mehrfachpulsen, die aus mehreren Pulsen pro Datum bestehen, ist die Filterfunktion gezielt zu verbessern.

Im Folgenden wird ein Ausführungsbeispiel der Erfindung an-
10 hand einer Zeichnung näher erläutert. Dabei zeigt:

FIG 1 ein Blockschaltbild einer erfindungsgemäßen Anord-
nung zur Digital-Analog-Wandlung, und

15 FIG 2 vergleichend mit FIG 1 ein Ausführungsbeispiel ei-
ner erfindungsgemäßen Anordnung zur Digital-Analog-
Wandlung.

FIG 1 zeigt ein Blockschaltbild einer erfindungsgemäßen An-
ordnung zur Digital-Analog-Wandlung.

20 Ein hochfrequentes digitales Eingangssignal DE gelangt einer-
seits an eine Verzögerungseinrichtung VZ und andererseits an
eine Wandlungseinrichtung WD.

25 Die Verzögerungseinrichtung VZ weist n seriell aneinanderge-
schaltete Verzögerungsglieder VG1, VG2, VG3, ..., VGN auf,
denen jeweils eine spezifische Verzögerungszeit τ_1 , τ_2 , τ_3 ,
..., τ_n zugeordnet ist. Jedes einzelne der Verzögerungsglie-
der VG1 bis VGN ist ausgangsseitig mit jeweils einem Ausgang
30 VA1, VA2, VA3, ..., VAn der Verzögerungseinrichtung VZ ver-
bunden. Über jeden dieser Ausgänge VA1 bis VAn gelangt ein
diesem jeweils zugeordnetes, vom jeweiligen Verzögerungsglied
VG1 bis VGN gebildetes Verzögerungssignal VS1, VS2, VS3, ...,

VS_n an jeweils einen Eingang WE₁, WE₂, WE₃, ..., WE_n der Wandlungseinrichtung WD.

Die Wandlungseinrichtung WD weist insgesamt n+1 D/A-Wandler 5 W₀, W₁, ..., W_n auf, die zueinander parallel angeordnet sind.

Ein erster D/A-Wandler W₀ erhält als Eingangssignal das digitale Eingangssignal DE über einen Eingang WE₀ der Wandlungseinrichtung WD. Die anderen n D/A-Wandler erhalten über entsprechend zugeordneten Eingänge WE₁ bis WE_n die Verzögerungs- 10 signale VS₁ bis VS_n als Eingangssignal.

Jedem einzelnen der n+1 D/A-Wandler WE₀ bis WE_n der Wandlungseinrichtung WD ist jeweils ein spezifischer Koeffizient 15 k₀, k₁, ..., k_n zugeordnet.

Die einzelnen D/A-Wandler W₀ bis W_n sind ausgangsseitig, beispielsweise mit Hilfe von n Addiereinrichtungen AE₁, AE₂, ..., AE_n, zusammengefasst. Mit Hilfe der Addiereinrichtungen 20 AE₁ bis AE_n werden n+1 Ausgangssignale AS₀, AS₁, ..., AS_n der n+1 D/A-Wandler zu einem trägerfrequenten analogen Ausgangssignal AA addiert.

Zu beachten ist, dass die digitalen Eingangssignale DE und 25 VS₁ bis VS_n bei der D/A-Wandlung in den jeweiligen D/A-Wandlern W₀ bis W_n mit den jeweils zugeordneten Koeffizienten k₀ bis k_n gewichtet werden.

Diese Koeffizienten k₀ bis k_n der D/A-Wandler W₀ bis W_n und 30 die Verzögerungszeiten t₁ bis t_n der Verzögerungsglieder VG₁ bis VG_n werden dabei derart festgelegt, dass die erfindungsgemäße Anordnung zur Digital-Analog-Wandlung eine gewünschte FIR-Filtercharakteristik aufweist.

FIG 2 zeigt vergleichend mit FIG 1 ein Ausführungsbeispiel einer erfindungsgemäßen Anordnung zur Digital-Analog-Wandlung.

5

Die einzelnen D/A-Wandler W0 bis Wn sind als 1Bit-D/A-Wandler und die Verzögerungsglieder VG1 bis VGn als D-Latch realisiert. Sowohl die D/A-Wandler W0 bis Wn als auch die Verzögerungsglieder VG1 bis VGn sind mit einem Taktsignal CLK getaktet.

10

Am D-Eingang eines ersten D-Latch bzw. eines ersten Verzögerungsglieds VG1 ist das digitale Eingangssignal DE angeschaltet. Ausgangsseitig ist das erste Verzögerungsglied VG1 über seinen Q-Ausgang mit einem D-Eingang des nächsten Verzögerungsglieds VG2 verbunden, usw.

15

Durch das Taktsignal CLK entsprechen die den einzelnen Verzögerungsgliedern VG1 bis VGn zugeordneten spezifischen Verzögerungszeiten τ_1 bis τ_n , wie hier dargestellt, einer halben Taktperiode des Taktsignals CLK, das ebenfalls an den D/A-Wandlern W0 bis Wn anliegt. Jedes einzelne Verzögerungsglied bzw. D-Latch verzögert um jeweils eine halbe Taktperiode.

20

Für die Verzögerungsglieder VG1 bis VGn sind jedoch auch kleinere Teile der Taktperiode des Taktsignals CLK verwendbar. Dadurch wird eine feinere Anpassung an eine Impulsantwort einer gewünschten Filtercharakteristik ermöglicht. Dadurch wird wiederum die Nyquistfrequenz der Filtercharakteristik vervielfacht und der Alias-Effekt unterdrückt.

30

Die jeweils den einzelnen D/A-Wandlern W0 bis Wn zugeordneten Koeffizienten k0 bis kn werden mit Hilfe von Referenzstrom-

quellen $k_i \cdot I_{ref}$ (mit $i=0$ bis n) eingestellt, die die Größe der Ausgangssignale AS0 bis ASn bestimmen.

Sind zur Realisierung der FIR-Filtercharakteristik negative
5 Faktoren bei den Koeffizienten k_0 bis k_n erforderlich, so werden entsprechende Ausgänge bei den betroffenen D/A-Wandlern vertauscht.

Beispielhaft ist dies für die Koeffizienten k_2 und k_n gezeigt.
10 Vergleichend mit dem D/A-Wandler W1 wurden bei den entsprechenden D/A-Wandlern W2 und Wn die Anschlüsse für die Ausgänge ausgetauscht - siehe jeweils Detail D.

Die Ausgangssignale AS0 bis ASn der D/A-Wandler W0 bis Wn
15 werden zeitgleich aufsummiert und bilden das analoge Ausgangssignal AA.

Das hochfrequente digitale Eingangssignal DE kann bei der vorliegenden Erfindung auch breitbandig ausgestaltet sein.

Patentansprüche

1. Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals (DE) in ein trägerfrequentes analoges Ausgangssignal (AA),

5 - bei der eine Verzögerungseinrichtung (VZ) mindestens ein erstes Verzögerungsglied (VG1) aufweist und weitere Verzögerungsglieder (VG2, ..., VGn) dem ersten seriell aufeinanderfolgend nachgeschaltet sind,

10 - bei der das digitale Eingangssignal (DE) einerseits an einen Eingang des ersten Verzögerungsglieds (VG1) und andererseits an einen Eingang eines ersten D/A-Wandlers (W0) angeschaltet ist,

15 - bei der das erste Verzögerungsglied (VG1) ausgangsseitig mit einem Eingang eines ihm zugeordneten weiteren D/A-Wandlers (W1) verbunden ist und gegebenenfalls jedes weitere Verzögerungsglied (VG2, ..., VGn) ausgangsseitig mit einem Eingang eines dem jeweiligen Verzögerungsglied (VG2, ..., VGn) zugeordneten weiteren D/A-Wandlers

20 (W2, ..., Wn) verbunden ist,

- bei der alle D/A-Wandler (W0, ..., Wn) ausgangsseitig stufenweise derart zusammengefasst sind, dass Ausgangssignale (AS0, ..., ASn) aller D/A-Wandler (W0, ..., Wn) das analoge Ausgangssignal (AA) bilden, und

25 - bei der jedem D/A-Wandler (W0, ..., Wn) ein spezifischer Koeffizient (k0, ..., kn) und jedem Verzögerungsglied (VG1, ..., VGn) eine spezifische Verzögerungszeit (τ_1, \dots, τ_n) zur Realisierung einer Filtercharakteristik zugeordnet sind.

2. Anordnung nach Anspruch 1, bei der an jedem einzelnen D/A-Wandler (W_0, \dots, W_n) ein identisches Taktsignal (CLK) angeschaltet ist.
5
3. Anordnung nach Anspruch 2, bei der die den Verzögerungsgliedern (VG_1, \dots, VG_n) spezifisch zugeordneten Verzögerungszeiten (τ_1, \dots, τ_n) einer vollen Taktperiode oder einer Teiltaktperiode des Taktsignals (CLK) entsprechen.
10
4. Anordnung nach einem der vorhergehenden Ansprüche, bei der die spezifischen Koeffizienten (k_0, \dots, k_n) und die spezifischen Verzögerungszeiten (τ_1, \dots, τ_n) derart gewählt sind, dass eine FIR-Filtercharakteristik realisiert wird.
15
5. Anordnung nach einem der vorhergehenden Ansprüche, bei der die Verzögerungsglieder (VG_1, \dots, VG_n) als mit dem Taktsignal (CLK) getaktete D-Latch ausgebildet sind.
20
6. Anordnung nach einem der vorhergehenden Ansprüche, bei der die D/A-Wandler (W_0, \dots, W_n) als 1Bit-D/A-Wandler ausgebildet sind.
25
7. Anordnung nach einem der vorhergehenden Ansprüche, bei der die D/A-Wandler (W_0, \dots, W_n) ausgangsseitig mittels Addier-einrichtungen (AE_1, \dots, AE_n) zusammengefasst sind.
30
8. Anordnung nach einem der vorhergehenden Ansprüche, bei der die den Verzögerungsgliedern (VG_1, \dots, VG_n) zugeordneten Verzögerungszeiten (τ_1, \dots, τ_n) gleich sind.

9. Anordnung nach einem der vorhergehenden Ansprüche, bei der die Ausgangssignale (A_{S0}, \dots, A_{Sn}) der D/A-Wandler (W_0, \dots, W_n) zur Verbesserung der Filterfunktion jeweils eine Mehrfachpulsfolge aufweisen.

5

10. Anordnung nach einem der vorhergehenden Ansprüche, bei der das digitale Eingangssignal (DE) breitbandig ist.

10

Zusammenfassung

Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges

5 Ausgangssignal

Die Anordnung zur Digital-Analog-Wandlung weist eine Verzöge-
rungseinrichtung mit mindestens einem ersten Verzögerungs-
glied auf, wobei gegebenenfalls weitere Verzögerungsglieder
10 dem ersten seriell aufeinanderfolgend nachgeschaltet sind.

Das digitale Eingangssignal ist einerseits an einen Eingang
des ersten Verzögerungsglieds und andererseits an einen Ein-
gang eines ersten D/A-Wandlers angeschaltet. Das erste Verzö-
gerungsglied ist ausgangsseitig mit einem Eingang eines ihm
15 zugeordneten weiteren D/A-Wandlers verbunden. Die gegebenen-
falls weiteren Verzögerungsglieder sind jeweils ausgangssei-
tig mit einem Eingang eines dem jeweiligen Verzögerungsglied
zugeordneten weiteren D/A-Wandlers verbunden. Alle D/A-
Wandler werden ausgangsseitig stufenweise derart zusammenge-
fasst sind, dass Ausgangssignale aller D/A-Wandler das analo-
ge Ausgangssignal bilden. Jedem D/A-Wandler wird ein spezifi-
scher Koeffizient und jedem Verzögerungsglied wird eine spe-
zifische Verzögerungszeit derart zugeordnet, dass eine Fil-
tercharakteristik realisiert wird.

25

FIG 1

30

FIG 1

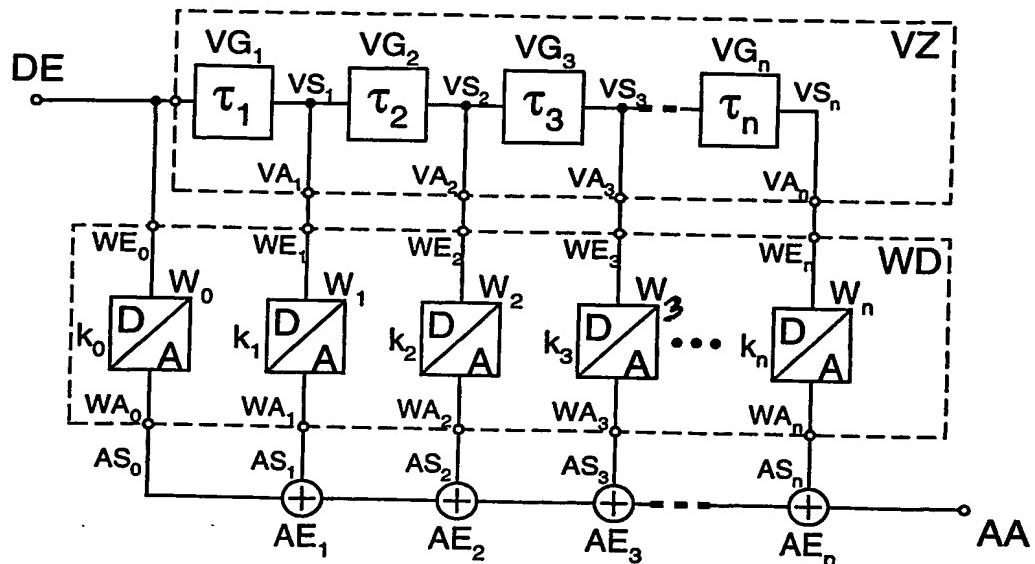
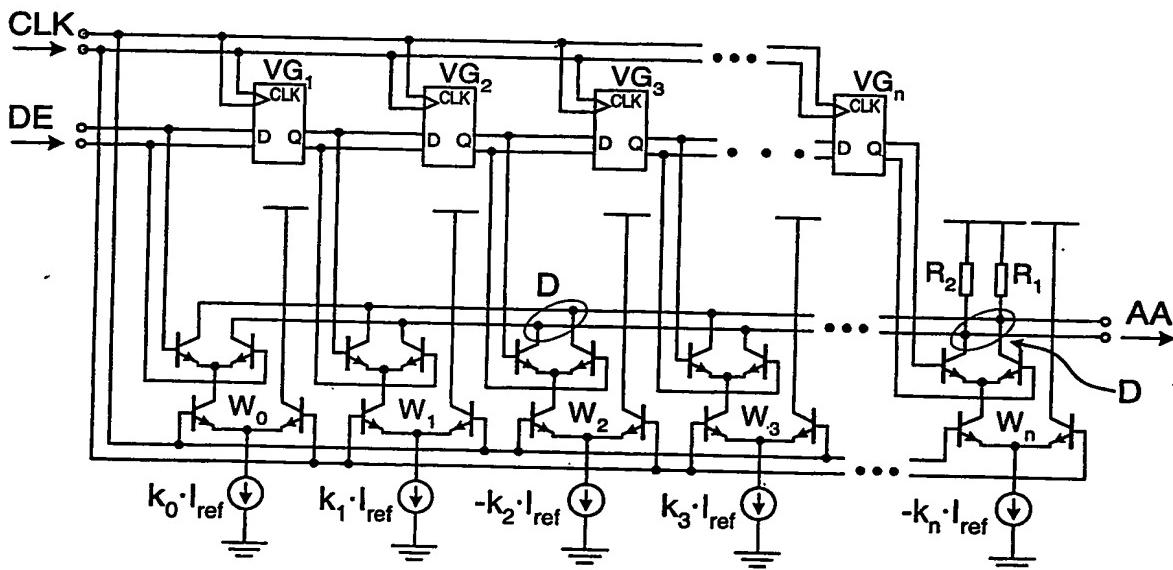


FIG 2



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.